

SO- Section: E, Section No. 1628, Vol. 18, No. 590, Pg. 60, November 10, 1994 (19941110)

AB- PURPOSE: To embody a wiring structure, wherein the lateral etching of an intermediate metallic layer is suppressed, and uncontaminated copper is exposed to the bottom part of a via hole, and further, both the execution of an optimum pretreatment for burying copper in the via hole by a selective chemical gas phase reaction and the process of the pretreatment are made possible.

CONSTITUTION: A via hole 208 to whose bottom surface a first copper layer 204 of a first wiring layer is exposed is formed. The copper on the bottom surface of the via hole 208 is reduced by its heating in a hydrogen atmosphere, and subsequently, a third copper layer 211 of a second wiring layer is formed by a chemical vapor growth. Thereby, the burying of the via hole 208 is performed.

?ss pn=10261715

S3 1 PN=10261715

?t s3/4/1

3/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv. |

TI- MULTILAYER INTERCONNECTION STRUCTURE AND ITS MANUFACTURE

PN- 10 -261715 -JP 10261715 A-

PD- September 29, 1998 (19980929)

AU- UENO KAZUYOSHI; VINCENT MICHAEL DONNELLY JR

PA- NEC CORP [000423] (A Japanese Company or Corporation), JP (Japan);
LUCENT TECHNOL INC [000000] (A Non-Japanese Company or Corporation),
US (United States of America)

AN- 09-341259 -JP 97341259-

AD- December 11, 1997 (19971211)

PR- 7-33,051 [US 33051-1996], US (United States of America), December 12, 1996 (19961212)

IC- -6- H01L-021/768; H01L-021/3205

CL- 42.2 (ELECTRONICS -- Solid State Components)

KW- R004 (PLASMA); R020 (VACUUM TECHNIQUES); R044 (CHEMISTRY --
Photosensitive Resins); R115 (X-RAY APPLICATIONS)

?ss pn=11220021

S4 1 PN=11220021

?t s4/4/1

4/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv. |

TI- MANUFACTURE OF SEMICONDUCTOR DEVICE

PN- 11 -220021 -JP 11220021 A-

PD- August 10, 1999 (19990810)

AU- TAKAGI HIDEO; NUNOFUJI WATARU

PA- FUJITSU LTD

AN- 10-019244 -JP 9819244-

AN- 10-019244 -JP 9819244-

AD- January 30, 1998 (19980130)

H01L-021/768; H01L-021/3065; H01L-021/28

AB- PROBLEM TO BE SOLVED: To provide a method for manufacturing semiconductor device with copper wiring, in which the resistance of a copper plug buried in a via hole can be reduced, when the via hole is formed into an interlayer insulating film and, at the same time, the

contamination in a chamber is reduced at the time of etching the interlayer insulating film. SOLUTION: A method for manufacturing semiconductor device includes a process for forming a second insulating film 3 covering the wiring formed on a first insulating film 2, a process for forming a third insulating film made of a material different from that of the second insulating film 3, and a process for forming an opening above the wiring by applying a resist 8 to the third insulating film and exposing and developing the resist 8. The method also includes a process for forming a hole 9 or groove into the third insulating film by etching the film through the opening, a process for exposing the wiring through the groove or hole 9 by removing the resist 8, and at the same time, a part of the second insulating film 3 through the groove or hole 9 by setting a semiconductor substrate in a chamber which is maintained in a plasma atmosphere containing oxygen, and a process for forming a metal film in the hole 9 or groove. COPYRIGHT: (C)1999, JPO

?b351

07mar01 12:20:43 User116074 Session D4649.3
 \$5.75 0.525 DialUnits File347
 \$1.05 1 Type(s) in Format 2
 \$4.50 3 Type(s) in Format 4
 \$5.55 4 Types
 \$11.30 Estimated cost File347
 \$1.39 TYMNET
 \$12.69 Estimated cost this search
 \$12.97 Estimated total session cost 0.590 DialUnits

File 351:Derwent WPI 1963-2001/UD,UM &UP=200111

(c) 2001 Derwent Info Ltd

*File 351: Price changes as of 1/1/01. Please see HELP RATES 351.

72 Updates in 2001. Please see HELP NEWS 351 for details.

Set	Items	Description
---	-----	-----
?ss pn=JP 10361715		
S1	0	PN=JP 10361715
?ss pn=JP 10261715		
S2	1	PN=JP 10261715
?t s2/4/1		

2/4/1

DIALOG(R) File 351:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

IM- *Image available*

AA- 1998-579235/199849 |

XR- <XRAM> C98-173479|

XR- <XRPX> N98-451976|

TI- Multilayer interconnection structure in semiconductor device - has copper wiring layers which are interconnected by connecting them to a plug|

PA- LUCENT TECHNOLOGIES INC (LUCE); NEC CORP (NIDE)|

AU- <INVENTORS> DONNELLY V M; UENO K|

NC- 002|

NP- 002|

PN- JP 10261715 A 19980929 JP 97341259 A 19971211 199849 B|

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220021

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

B

21/3065

21/28

L

// H 0 1 L 21/28

21/302

M

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号

特願平10-19244

(22) 出願日

平成10年(1998) 1月30日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 高木 英雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 布藤 渉

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

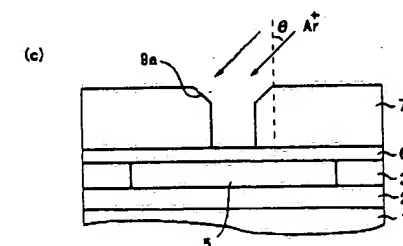
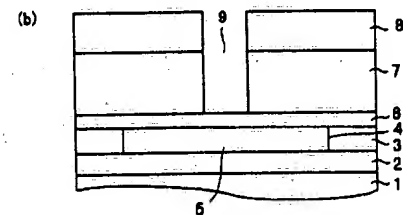
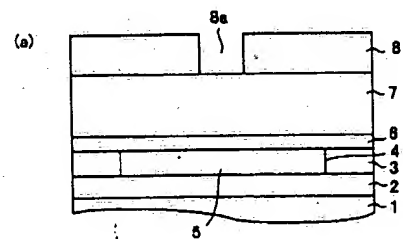
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】銅配線を備えた半導体装置の製造方法に関し、層間絶縁膜にビアホールを形成する際に、ビアホール内に埋め込まれる銅プラグの抵抗を低くするとともに、層間絶縁膜をエッチングする際のチャンバ内の汚染を抑制すること。

【解決手段】第1の絶縁膜上の配線を覆う第2の絶縁膜を形成する工程と、第2の絶縁膜上に、第2の絶縁膜とは異なる材料よりなる第3の絶縁膜を形成する工程と、第3の絶縁膜上にレジストを塗布し、該レジストを露光、現像して配線の上方に開口を形成する工程と、開口を通して第3の絶縁膜をエッチングすることにより第3の絶縁膜にホール又は溝を形成する工程と、チャンバ内で酸素を含むプラズマ雰囲気中に半導体基板を置くことにより、レジストを除去し、同時に溝又はホールを通して第2の絶縁膜の一部を除去して溝又はホールを通して配線を露出する工程と、ホール又は溝の中に金属膜を形成する工程とを含む。



【特許請求の範囲】

【請求項1】半導体基板の上に形成された第1の絶縁膜上に配線を形成する工程と、

前記配線を覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に、前記第2の絶縁膜とは異なる材料よりなる第3の絶縁膜を形成する工程と、

前記第3の絶縁膜上にレジストを塗布し、該レジストを露光、現像して前記配線の上方に開口を形成する工程と、

前記開口を通して前記第3の絶縁膜を反応性イオンエッチング法によりエッチングして前記第3の絶縁膜にホール又は溝を形成する工程と、

前記レジストを除去する工程と、

前記第3の絶縁膜のうち溝又はホールの周囲の上縁部をエッチングして斜面を形成し、これにより該溝又はホールの上部を広げる工程と、

前記ホール又は溝を通して前記第2の絶縁膜の一部を反応性イオンエッチングによって除去する工程と、

前記ホール又は溝の中に金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記斜面は、前記第3の絶縁膜をアルゴンスパッタエッチングすることによって形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】半導体基板の上に形成された第1の絶縁膜上に配線を形成する工程と、

前記配線を覆う第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に、前記第2の絶縁膜とは異なる材料よりなる第3の絶縁膜を形成する工程と、

前記第3の絶縁膜上にレジストを塗布し、該レジストを露光、現像して前記配線の上方に開口を形成する工程と、

前記開口を通して前記第3の絶縁膜をエッチングすることにより前記第3の絶縁膜にホール又は溝を形成する工程と、

チャンバ内で酸素を含むプラズマ雰囲気中に前記半導体基板を置くことにより、前記レジストを除去し、同時に前記溝又はホールを通して前記第2の絶縁膜の一部を除去して前記溝又はホールを通して前記配線を露出する工程と、

前記ホール又は溝の中に金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】前記プラズマ雰囲気には不活性ガスが供給されることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】前記プラズマ雰囲気において、前記レジストの除去によって露出した前記第3の絶縁膜の上縁部をエッチングして斜面を形成し、これにより前記溝又はホールの上部を広げる工程を含むことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】前記プラズマ雰囲気により前記チャンバ内

面をクリーニングすることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項7】前記溝又はホールを通して前記配線の表面を酸素を含む雰囲気において加熱することにより、前記配線表面の酸化物を除去する工程を有することを特徴とする請求項1又は3記載の半導体装置の製造方法。

【請求項8】前記溝又はホールを通して前記配線の表面を酸素プラズマ雰囲気に曝して前記配線表面の酸化物を除去する工程を有することを特徴とする請求項1又は3記載の半導体装置の製造方法。

【請求項9】前記溝又はホールを通して前記配線の表面をフッ酸によって前記配線表面の酸化物を除去する工程を有することを特徴とする請求項1又は3記載の半導体装置の製造方法。

【請求項10】前記配線は、銅又はパラジウムから構成されていることを特徴とする請求項1又は3記載の半導体装置の製造方法。

【請求項11】前記第2の絶縁膜は窒化シリコン膜であり、前記第3の絶縁膜は酸化シリコンを含む膜であることを特徴とする請求項1又は3記載の半導体装置の製造方法。

【請求項12】前記第2の絶縁膜は酸化シリコン又は炭素を含む低誘電率材料であり、前記第3の絶縁膜は有機系のSOGを含む低誘電率材料からなることを特徴とする請求項1又は3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、より詳しくは、銅配線を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置に銅配線を形成する場合には、絶縁膜に形成された溝、ホールの中に銅を埋め込むダマシイン(damascene)法が採用されている。溝、ホールの中に銅を埋め込む方法としては、スパッタによって溝(又はホール)の中に銅膜を形成する方法や、メッキ法又は気相成長法によって絶縁膜の上と溝(又はホール)の中に銅膜を成長した後に、不要な銅膜を研磨によって除去する方法が採用されている。

【0003】次に、ホールの中に銅を埋め込む方法の一例を図7(a)～(d)に基づいて説明する。まず、図7(a)に示すように、シリコン基板101上に第1の絶縁膜102を形成し、その上に第2の絶縁膜103を形成し、さらに、第2の絶縁膜103に溝104を形成し、その溝104内に銅膜を形成した後に、不要な銅膜を研磨により除去し、これによりホール104内に残った銅膜を配線105として適用する。

【0004】その後、第2の絶縁膜103と配線105の上に窒化シリコン膜106を形成し、さらに窒化シリコン膜106上に酸化シリコンよりなる層間絶縁膜107を形成す

る。続いて、層間絶縁膜107をフォトリソグラフィーによってパターンニングし、これにより配線105の上の位置にビアホール108を形成する。そのビアホール108のエッチング法として、例えばICP (Inductive Coupled Plasma) 装置を使用して高密度プラズマで酸化シリコンよりなる層間絶縁膜107を窒化シリコン膜106に対して選択的にエッチングする。即ち、窒化シリコン膜106をエッチングストップとして機能させるような条件で、層間絶縁膜107の一部をエッチングする。

【0005】次に、図7(b)に示すように、ビアホール108から露出した窒化シリコン膜106を選択的にエッチングし、これにより配線105の一部をビアホール108から露出させる。その後図7(c)に示すように、スパッタ法によって、窒化チタン (TiN) バリア層109を層間絶縁膜107上とビアホール108内面に沿って形成する。

【0006】続いて、図7(d)に示すように、TiN バリア層109を電極に使用し、電解メッキ法によってTiN バリア層109上に銅膜110を形成する。なお、第1の絶縁膜102は、例えば素子間分離に使用される選択酸化膜 (LOCOS) であり、また、第2の絶縁膜103は、シリコン基板101に形成された半導体素子を覆う層間絶縁膜である。

【0007】

【発明が解決しようとする課題】ところで、スパッタによってTiN バリア層109を形成すると、図7(c)に示すようにビアホール109の上部でTiN バリア層109はオーバハングの状態になり、ビアホール109の開口径を狭くしてしまう。このため、図7(d)に示すビアホール109内の銅膜 (プラグ) 110にはボイド111が発生してしまい、ビアホール109内の銅膜110の電気抵抗が高くなってしまう。

【0008】そのようなオーバハングを無くすために、例えばTiN バリア層109を形成する前に層間絶縁膜107をアルゴンプラズマの雰囲気中に置いて図8(a)に示すようにビアホール108の上部周縁に傾斜面を形成する方法が知られている。この方法によれば、図8(b)に示すように、配線105表面をアルゴンでたたくことになるので、配線105を構成する銅が飛散してビアホール108の側壁に付着し、その銅が層間絶縁膜107内に拡散してしまうので、その銅拡散部分が低抵抗化して配線同士を短絡させる原因になる。

【0009】また、ビアホール108形成の際に、ICPプラズマエッチング装置を用いて層間絶縁膜107をエッチングしているが、窒化シリコン膜106のエッチングを防止するために、そのエッチングガスとして炭素化合物ガスを用いている。ICPプラズマエッチング装置は高密度のプラズマを発生させるので、炭素化合物ガスの反応によってチャンバ内にポリマーが付着し、チャンバのクリーニングのサイクルを短くさせる。

【0010】本発明の目的は、層間絶縁膜にビアホール

を形成する際に、ビアホール内に埋め込まれる銅プラグの抵抗を低くするとともに、層間絶縁膜をエッチングする際のチャンバ内の汚染を抑制することができる半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】(1) 上記した課題は、図1～図3に例示するように、半導体基板の上に形成された第1の絶縁膜上に配線を形成する工程と、前記配線を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に、前記第2の絶縁膜とは異なる材料よりなる第3の絶縁膜を形成する工程と、前記第3の絶縁膜上にレジストを塗布し、該レジストを露光、現像して前記配線の上方に開口を形成する工程と、前記開口を通して前記第3の絶縁膜を反応性イオンエッチング法によりエッチングして前記第3の絶縁膜にホール又は溝を形成する工程と、前記レジストを除去する工程と、前記第3の絶縁膜のうち溝又はホールの周囲の上縁部をエッチングして斜面を形成し、これにより該溝又はホールの上部を広げる工程と、前記ホール又は溝を通して前記第2の絶縁膜の一部を反応性イオンエッチングによって除去する工程と、前記ホール又は溝の中に金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法によって解決する。

【0012】上記した半導体装置の製造方法において、前記斜面は、前記第3の絶縁膜をアルゴンスパッタエッチングすることによって形成されることを特徴とする。

(2) 上記した課題は、図4に例示するように、半導体基板の上に形成された第1の絶縁膜上に配線を形成する工程と、前記配線を覆う第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に、前記第2の絶縁膜とは異なる材料よりなる第3の絶縁膜を形成する工程と、前記第3の絶縁膜上にレジストを塗布し、該レジストを露光、現像して前記配線の上方に開口を形成する工程と、前記開口を通して前記第3の絶縁膜をエッチングすることにより前記第3の絶縁膜にホール又は溝を形成する工程と、チャンバ内で酸素を含むプラズマ雰囲気中に前記半導体基板を置くことにより、前記レジストを除去し、同時に前記溝又はホールを通して前記第2の絶縁膜の一部を除去して前記溝又はホールを通して前記配線を露出する工程と、前記ホール又は溝の中に金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法によって解決する。

【0013】上記した半導体装置の製造方法において、前記プラズマ雰囲気には不活性ガスが供給されることを特徴とする。上記した半導体装置の製造方法において、前記プラズマ雰囲気で、前記レジストの除去によって露出した前記第3の絶縁膜の上縁部をエッチングして斜面を形成し、これにより前記溝又はホールの上部を広げる工程を含むことを特徴とする。

【0014】上記した半導体装置の製造方法において、

前記プラズマ雰囲気により前記チャンバ内面をクリーニングすることを特徴とする。

(3) 上記半導体装置の製造方法において、前記溝又はホールを通して前記配線の表面を水素を含む雰囲気において加熱することにより、前記配線表面の酸化物を除去する工程を有することを特徴とする。

【0015】上記半導体装置の製造方法において、前記溝又はホールを通して前記配線の表面を水素プラズマ雰囲気に曝して前記配線表面の酸化物を除去する工程を有することを特徴とする。上記半導体装置の製造方法において、前記溝又はホールを通して前記配線の表面をフッ酸によって前記配線表面の酸化物を除去する工程を有することを特徴とする。

【0016】上記半導体装置の製造方法において、前記配線は、銅又はパラジウムから構成されていることを特徴とする。上記半導体装置の製造方法において、前記第2の絶縁膜は窒化シリコン膜であり、前記第3の絶縁膜は酸化シリコンを含む膜であることを特徴とする。上記半導体装置の製造方法において、前記第2の絶縁膜は酸化シリコン又は炭素を含む低誘電率材料であり、前記第3の絶縁膜は有機系のSOGを含む低誘電率材料からなることを特徴とする。

【0017】次に、本発明の作用について説明する。本発明によれば、第1の絶縁膜の上に配線を形成し、その配線を覆う第2の絶縁膜、第3の絶縁膜を形成し、その第3の絶縁膜にホール又は溝を形成した後に、第2の絶縁膜で配線を覆った状態でホール又は溝の周囲の第3の絶縁膜の上縁をエッチングして斜面を形成し、ホール又は溝を広げるようにした。

【0018】このため、そのエッチングの際に配線は第2の絶縁膜に保護されてエッチングされないため、配線の構成材料が第3の絶縁膜に付着することはない。そして、ホール又は溝を広げた後に、反応性イオンエッチングによってホール又は溝を通して第2の絶縁膜をエッチングして配線を露出するようにしている。この場合、配線を構成する金属がホール又は溝の側壁に付着することはないし、プラズマの高密度化が抑制されてチャンバでのポリマー形成が少なくなる。

【0019】これにより、ホール又は溝の側壁となる第3の絶縁膜が低抵抗化することが避けられ、しかも、ホール又は溝の上部が広がるために、その後にホール又は溝に形成される金属にボイドが発生することがなくなる。また、他の発明によれば、ホール又は溝を形成する際に使用したレジストの除去と、ホール又は溝を通した第2の絶縁膜の除去を酸素含有プラズマを用いて同時に行っている。これによれば、第2の絶縁膜をエッチングする際に配線を酸素プラズマに曝しているため、配線の表面が酸化されてエッチングされにくくなり、配線からの金属が側壁に付着しにくくなる。

【0020】また、酸素含有プラズマにアルゴン等の不

活性ガスを導入することによって、ホール又は溝の側壁を構成する第3の絶縁膜の上縁もエッチングされてホール又は溝の上部が広がる。また、その酸素含有プラズマによれば、チャンバ内をクリーニングする効果がある。

【0021】

【発明の実施の形態】そこで、以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態) 図1～図3は、本発明の第1の実施の形態に係る半導体装置の製造工程を示す断面図である。

【0022】まず、図1(a)に示すように、シリコン基板(半導体基板)1の上に第1の絶縁膜2、第2の絶縁膜3を形成する。この第1の絶縁膜2は、例えばシリコン基板1の表面に選択酸化法によって形成したフィールド酸化膜である。また、第2の絶縁膜3は、例えばシリコン基板1に形成したトランジスタなどの半導体素子を覆うSiO₂膜である。

【0023】また、第2の絶縁膜3にはフォトリソグラフィ法により溝4が形成され、その溝4内にはダマシン法によって銅製の配線5が構成されている。さらに、第2の絶縁膜3及び配線5の上には、プラズマCVD法によって、窒化シリコン膜6と層間絶縁膜7が順に形成されている。その層間絶縁膜7は、BPSG(phosphor-boro silicate glass)、PSG(phospho silicate glass)、BSG(boro silicate glass)等のような酸化シリコン(SiO)系材料、二酸化シリコン、その他の低誘電率材料から構成されている。

【0024】窒化シリコン膜6の膜厚は50nm程度であり、また、層間絶縁膜7は成長時に1000nmの厚さに形成され、その成長後に研磨によって750nmまで薄くされている。層間絶縁膜7の上にはレジスト8が0.7μmの厚さに塗布され、そのレジスト8は露光、現像されて直径0.3μmのビア用開口部8aが形成されている。

【0025】次に、レジスト8をマスクに使用し、ビア用開口部8aを通して反応性イオンエッチング(RIE)法により層間絶縁膜7を部分的にエッチングして図1(b)に示すような直径0.3μmのビアホール9を形成する。そのエッチングには、ICPプラズマエッチング装置(不図示)を用い、エッチング条件としては、反応ガスとしてC₄F₈、CH₂F₂、Arをそれぞれ15sccm、10sccm、150sccmの流量でチャンバ内に導入し、基板温度を10℃に設定し、チャンバ内圧力を5mTorrとし、ICP供給電力を2000W、バイアス電力を900Wとし、エッチング時間を70秒とした。

【0026】次に、溶剤によりレジスト8を除去した後に、スパッタエッチング装置(不図示)のチャンバ内にシリコン基板1を入れ、内部圧力0.5mTorrに設定した減圧雰囲気中でアルゴンイオンを発生させる。そし

て、図1(c)に示すように、シリコン基板1の上面の垂直線に対して30度~60度の角度、好ましくは略45度の方向からアルゴンイオンを層間絶縁膜7に向けて照射すると、ビアホール9の上縁を画定する層間絶縁膜7の角が取れてそこに傾斜面9aが形成され、これによりビアホール9の上部は広がることになる。

【0027】このスパッタエッチングの際に、銅よりなる配線5は窒化シリコン膜6によりエッチング雰囲気から遮断されているので、銅膜5がエッチングされることはなくなり、銅がビアホール9の側壁に付着することはない。その後、図2(a)に示すように、反応性イオンエッチング法によってビアホール9を通して窒化シリコン膜6の一部を除去し、ビアホール9から配線5の一部を露出させる。

【0028】そのエッチングの際には、例えば反応ガスとして CF_4 、 CHF_3 、Arの各ガスをそれぞれ15sccm、15sccm、400sccmずつプラズマ雰囲気中に導入し、基板温度を約0℃に設定し、エッチング雰囲気圧力を約500mTorrに設定する。その後金属膜を形成する工程に入るが、その前処理として、銅よりなる配線5表面の酸化銅を次のような方法によって除去する。

【0029】まず、1~0.1%濃度のフッ酸溶液にビアホール9と配線5を10秒程度浸す。続いて、48時間以内に、シリコン基板1を50~500mTorrの水素ガス雰囲気内に置き、基板温度を200~400℃に設定し、アニールを3分間行うことによって配線5の表面の酸化銅を除去する。さらに、図2(b)に示すように、金属膜を形成するクラスター装置の前処理チャンバ内にシリコン基板1を置いて、80流量%の水素(H_2)と20流量%のアルゴン(Ar)を導入した1~500mTorrの雰囲気中で基板を200~400℃で加熱して配線5の表面の酸化銅を除去する。この方法の代わりに、ICPプラズマ装置を用いて、80流量%の水素(H_2)と20流量%のアルゴン(Ar)を導入した1~500mTorrの雰囲気にシリコン基板1を置き、還元プラズマによって配線5の表面の酸化銅を除去する方法を採用してもよい。これらの酸化銅除去の際にガス中にアンモニアを添加してもよい。

【0030】以上のような方法によって酸化銅の除去すると、銅がビアホール9の側壁に付着することはない。そのような酸化銅の除去の後に、シリコン基板1を大気に晒すことなくスパッタ成膜装置又はCVD成膜装置に搬送する。そして、スパッタ法又はCVD法によって窒化チタン、窒化タンタル、タンタル、窒化タングステン等の高融点金属化合物からなるバリア金属層10をビアホール9内面と層間絶縁膜7上に10~50nmの厚さに形成する。さらに、スパッタ法、CVD法又は無電解メッキ法によって第一の銅膜11をバリア金属層10上に形成する。第一の銅膜11はシード金属膜となる。

【0031】スパッタ装置による到達真空度は、 9×1

0^{-8} Torrであり、スパッタエッチングの際にはアルゴンガス圧力を0.3mTorrに設定し、スパッタの電極への印加電力を12kWに設定する。このようなシード金属膜(10, 11)は、ビアホール6の上縁で横方向に厚く形成される傾向にあるが、傾斜面9aによって外方に後退されているので、ビアホール6内にオーバハングすることなく形成される。

【0032】続いて、バリア金属層10、第一の銅膜11を電極に使用し、電解メッキ法によって図3(b)に示すように第一の銅膜11の上に第二の銅膜12を膜厚1.5 μ mの厚さに形成する。この場合、ビアホール9の上部が広がるので、ビアホール9内の第二の銅膜12にボイドが発生することはない。電解メッキとしてパルスメッキ法を採用する。その条件としては、例えば硫酸浴(メッキ液)を使用して電極に10ミリ秒間隔で2.5A/ dm^2 のパルス電流を流す。第二の銅膜12の成長速度は、例えば約1.8 μ m/分である。

【0033】ビアホール9を通した第二の銅膜12と配線5との接続は、上記した酸化銅の除去によって良好になる。なお、第二の銅膜12を、電解メッキによらずにスパッタ法やCVD法による場合でもビアホール9の埋め込みは良好に行われる。次に、図3(c)に示すように、化学機械研磨法によって第一及び第二の銅膜11, 12とバリア金属層10を連続して研磨し、これにより層間絶縁膜9上の銅膜11を除去する。そして、ビアホール9内に残ったバリア金属層10、第一及び第二の銅膜11, 12をプラグとして適用する。

【0034】化学機械研磨条件は、例えばスラリーとして Al_2O_3 を含む材料を使用し、さらに、シリコン基板1の回転数を20~160rpm、第一及び第二の銅膜11, 12に対向するプラテンの回転数を40~160rpmとし、銅膜11, 12に加えるパッドの圧力を250g/ cm^2 とする。この後に、層間絶縁膜7上に上側の配線13を形成し、ビアホール9内のプラグ10, 11, 12を介して配線5に接続することになる。上側の配線13は、ダマシン法によって形成してもよいし、或いはアルミニウム膜を形成した後にフォトリソグラフィによってパターニングした工程を経て形成されたものであってもよい。

【0035】なお、上記した層間絶縁膜7を有機系のSOGから形成する場合には、窒化シリコン膜6の代わりに SiO 又はC(炭素)含有低誘電率材料を形成し、これにより、層間絶縁膜7を選択的にエッチングする。また、上記した銅の埋め込み方法は、絶縁膜の溝内に銅配線を形成する際に採用してもよい。さらに、上記したプラグと上側の配線13はいわゆるデュアルダマシン法によって同時に形成してもよく、その場合に、上記した方法を採用してもよい。また、プラグや配線を構成する金属膜としては銅の代わりにパラジウム等、絶縁膜中を拡散し易い金属材料を用いる場合に上記した工程を採用し

てもよい。

【第2の実施の形態】第1の実施の形態では別々に行っていたビアホール形成、レジスト除去、ビアホール上部の斜面形成、チャンバ内のクリーニング処理を同時に行う方法を以下に説明する。

【0036】まず、図1(b)に示すような構造を形成した後に、アルゴン、ヘリウム等の不活性ガスと酸素

(O_2)を含むガスをプラズマ化した雰囲気中にシリコン基板1を置く。そして、図4(a)に示すように、酸素プラズマによって有機材料よりなるレジスト8をアッシングすると同時に、プラズマに含まれるアルゴンによって窒化シリコン膜6を物理的にエッチングする。

【0037】窒化シリコン膜6をエッチングする初期の段階では、銅製の配線5は窒化シリコン膜6によって覆われているので、配線5から銅が飛散することはないので、ビアホール9の側壁に銅が付着することが防止される。また、窒化シリコン膜6のエッチングの最終段階でも、配線5の表面は酸素プラズマによって酸化されるので、ビアホール9の側壁には銅が付着せず、層間絶縁膜7内への銅の拡散が防止される。

【0038】また、レジスト8が除去されて露出した層間絶縁膜7はアルゴンによって物理的にエッチングされる。そのエッチングは、等方的なエッチングであるので、ビアホール9を画定する層間絶縁膜7の上縁部がエッチングされてそこには図4(b)に示すような傾斜面9aが形成される。この層間絶縁膜7のエッチングは、レジスト8のアッシングを終えた後に開始するので、層間絶縁膜7は僅かにエッチングされるだけである。

【0039】以上のような混合ガスのプラズマを発生させるプラズマエッチング装置としては、例えば平行平板型を用い、酸素ガスとアルゴンガスの流量をそれぞれ100sccm、10sccm程度とする。また、プラズマ発生雰囲気の圧力を5mTorrとし、基板温度を10℃とし、電極に印加する電力を200Wとする。この条件では、ビアホール9の上端から100nmの深さまで傾斜面9aが形成される。

【0040】以上のような条件では、プラズマエッチング装置のチャンバの内面にポリマーが付着することがないだけでなく、同時にチャンバ内面のクリーニングが行われるのでクリーニングの手間が軽減される。その後、銅製の配線5を図2(b)に示すような還元雰囲気中に置き、その表面の酸化物を除去し、さらに図3(a)に示す以降の工程に移行することになる。

【0041】次に、上記した2つの実施の形態に示した図3に対応する配線構造のSEM断面写真を示すと図5のようになり、また、図3(c)に対応する配線構造のSEM断面写真を示すと図6のようになった。この場合、ビアホール9の下部の直径を0.3 μ mとした場合、1つのビアホール9内でのプラグの抵抗値は0.5 Ω となり、良好な結果が得られた。

【0042】

【発明の効果】以上述べたように本発明によれば、第1の絶縁膜の上に配線を形成し、その配線を覆う第2の絶縁膜、第3の絶縁膜を形成し、その第3の絶縁膜にホール又は溝を形成した後に、第2の絶縁膜で配線を覆った状態でホール又は溝の周囲の第3の絶縁膜の上縁をエッチングして斜面を形成し、ホール又は溝を広げるようにしたので、そのエッチングの際に配線は第2の絶縁膜に保護されてエッチングされず、配線の構成材料が第3の絶縁膜に付着することを防止できる。

【0043】そして、ホール又は溝を広げた後に、反応性イオンエッチングによってホール又は溝を通して第2の絶縁膜をエッチングして配線を露出するようにしたので、金属が配線からホール又は溝の側壁に付着することを防止でき、しかもプラズマの高密度化が抑制されてチャンバでのポリマー形成を少なくすることができる。これにより、ホール又は溝の側壁となる第3の絶縁膜が低抵抗化することが避けられるし、ホール又は溝の上部が広がるために、その後にホール又は溝に形成される金属にボイドが発生することが防止できる。

【0044】また、他の発明によれば、ホール又は溝を形成する際に使用したレジストの除去と、ホール又は溝を通して第2の絶縁膜の除去を酸素含有プラズマを用いて同時に行ったので、第2の絶縁膜のエッチングの最終段階で配線が酸素プラズマに曝され、第2の配線の表面が酸化されてエッチングされにくくなり、配線からの金属の飛散を抑制して側壁に付着することを防止できる。

【0045】また、酸素含有プラズマにアルゴン等の不活性ガスを導入することによって、ホール又は溝の側壁を構成する第3の絶縁膜の上縁もエッチングされるので、ホール又は溝の上部を広くすることができる。しかも、酸素含有プラズマによればチャンバ内をクリーニングする効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す半導体装置の製造工程を示す断面図(その1)である。

【図2】本発明の第1の実施の形態を示す半導体装置の製造工程を示す断面図(その2)である。

【図3】本発明の第1の実施の形態を示す半導体装置の製造工程を示す断面図(その3)である。

【図4】本発明の第2の実施の形態を示す半導体装置の製造工程を示す断面図である。

【図5】本発明の実施形態によってビアホール内に形成された窒化チタン膜を示すSEMの写真である。

【図6】本発明の実施形態によってビアホール内に形成されたプラグとその上に形成される配線を示すSEMの写真である。

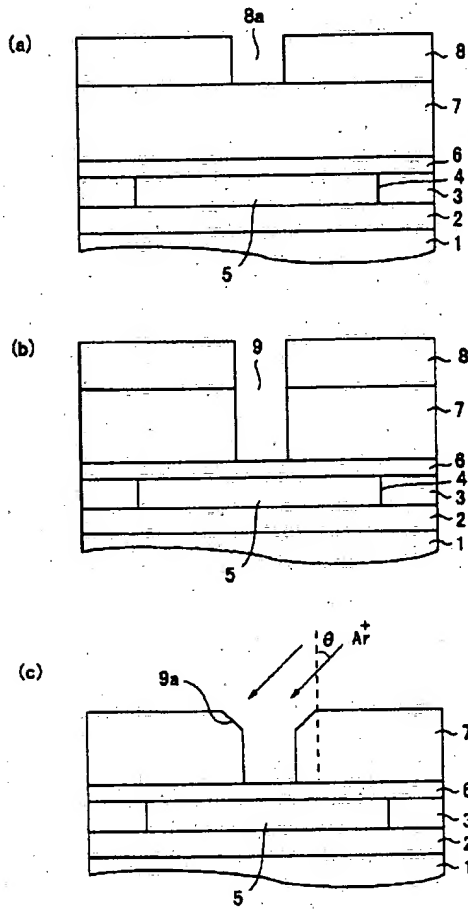
【図7】従来のプラグ形成の一例を示す断面図である。

【図8】従来のビアホールの上部を広げる工程を示す断面図である。

【符号の説明】

1…シリコン基板、2…第1の絶縁膜、3…第2の絶縁膜、4…溝、5…配線、6…窒化シリコン膜、7…層間

【図1】

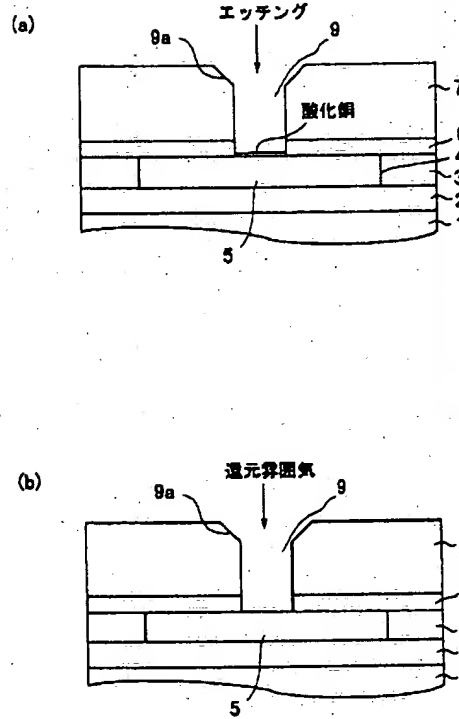


【図6】

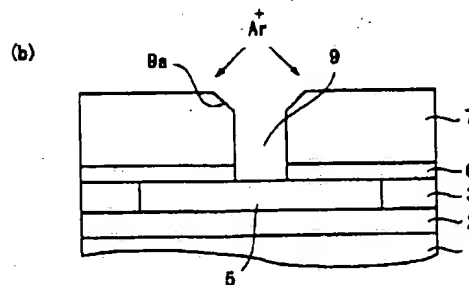
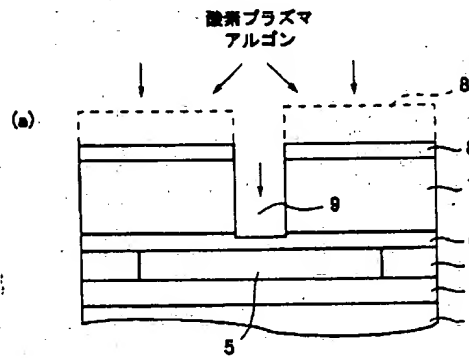


請求膜、8…レジスト、9…ビアホール、9a…傾斜面、10…バリア金属層、11…第1の銅膜、12…第2の銅膜。

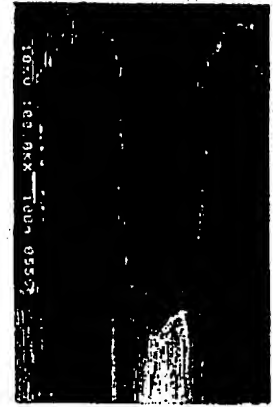
【図2】



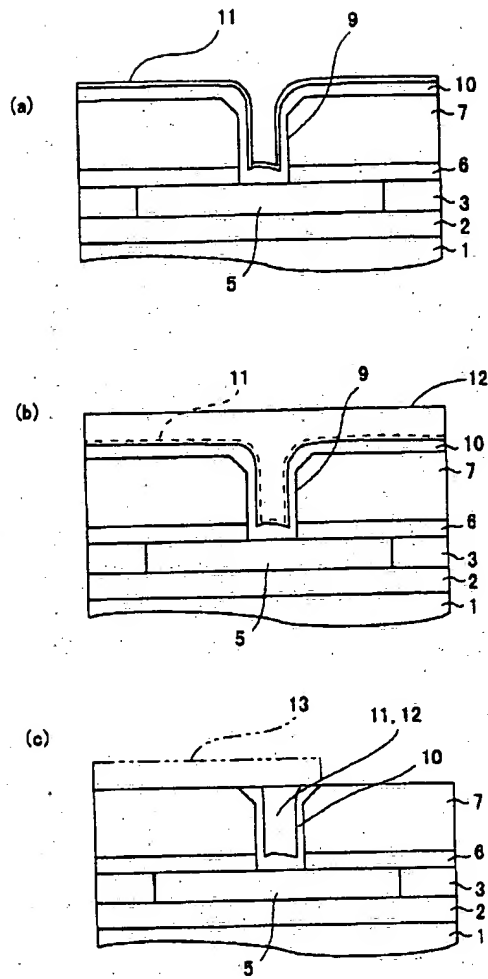
【図4】



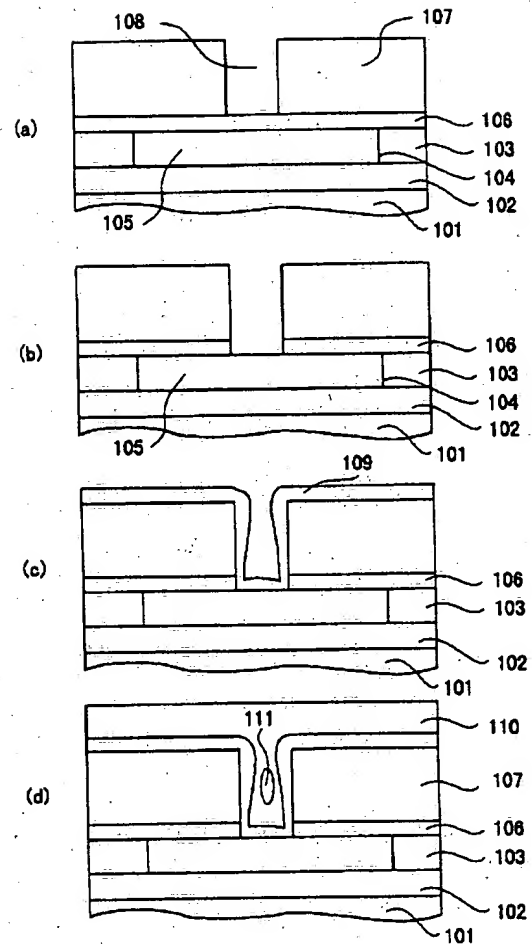
【図5】



【図3】



【図7】



【図8】

